

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-257268

(P2001-257268A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/82

H 0 1 L 21/82

W 5 B 0 4 6

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 U 5 F 0 6 4

6 5 8 K

6 5 8 H

審査請求 有 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願2000-68149(P2000-68149)

(22) 出願日 平成12年3月13日(2000.3.13)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 山下 勝裕

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5B046 AA08 BA06

5F064 AA01 BB09 BB13 BB15 DD02

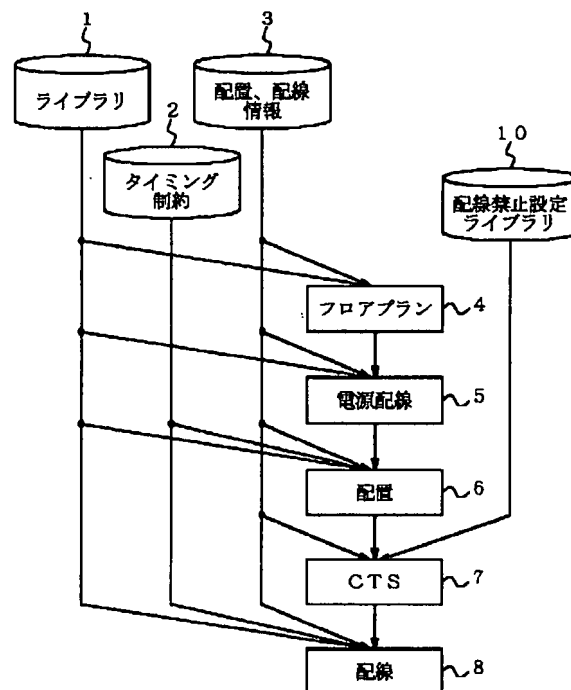
EE02 EE54 EE60 HH08 HH12

(54) 【発明の名称】 レイアウト方法

(57) 【要約】

【課題】 CTS (クロック分配処理) の後の信号配線において、CTSで定められた最適なクロック信号配線配線レイアウトを動かすことがない有効なレイアウト方法を提供する。

【解決手段】 クロック信号配線の禁止領域を含む基本セルに関する情報を有する配線禁止設定ライブラリ10と、クロック信号配線の禁止領域を含まない基本セルに関する情報を有するライブラリ1とを用意し、フロアプラン4、電源配線5、配置6及びクロック信号配線以外の信号配線8のレイアウトにはライブラリ1を入力要素として用い、CTS7の際には、ライブラリ1を配線禁止設定ライブラリ10に切り換えてこの配線禁止設定ライブラリ10を入力要素として用いるレイアウト方法。



【特許請求の範囲】

【請求項1】 クロック信号配線のレイアウトを定めるクロック分配処理の後に、クロック信号配線以外の信号配線のレイアウトを行うCAD装置を用いたレイアウト方法において、前記クロック信号配線以外の信号配線のレイアウトに支障を生じる領域を予め禁止領域として前記クロック信号配線が位置しないようにして前記クロック分配処理を行うことを特徴とするレイアウト方法。

【請求項2】 前記禁止領域は前記クロック信号配線以外の信号配線が接続する端子であることを特徴とする請求項1記載のレイアウト方法。

【請求項3】 前記禁止領域を含む基本セルに関する情報を有する配線禁止設定ライブラリを用意し、前記クロック分配処理の際に該配線禁止設定ライブラリを入力要素として用いることを特徴とする請求項1記載のレイアウト方法。

【請求項4】 前記禁止領域に関する情報を有する配線禁止端子ライブラリを用意し、前記クロック分配処理の際に、前記禁止領域に関する情報以外の基本セルに関する情報を有するライブラリと該配線禁止端子ライブラリとを併用して入力要素として用いることを特徴とする請求項1記載のレイアウト方法。

【請求項5】 前記クロック信号配線と前記クロック信号配線以外の信号配線とは同じ層レベルの配線層であることを特徴とする請求項1記載のレイアウト方法。

【請求項6】 基本セル上において、前記クロック信号配線と前記クロック信号配線以外の信号配線とは同一方向を延在していることを特徴とする請求項1記載のレイアウト方法。

【請求項7】 フロアプラン、電源配線、配置、クロック分配処理及びクロック信号配線以外の信号配線のレイアウトを順に行うCAD装置を用いたレイアウト方法において、クロック信号配線の禁止領域を含む基本セルに関する情報を有する配線禁止設定ライブラリと、クロック信号配線の禁止領域を含まない基本セルに関する情報を有するライブラリとを用意し、前記フロアプラン、前記電源配線、前記配置及び前記クロック信号配線以外の信号配線のレイアウトには前記ライブラリを入力要素として用い、前記クロック分配処理の際には、前記ライブラリを前記配線禁止設定ライブラリに切り換えて該配線禁止設定ライブラリを入力要素として用いることを特徴とするレイアウト方法。

【請求項8】 前記フロアプラン、前記電源配線、前記配置、前記クロック分配処理及び前記クロック信号配線以外の信号配線のレイアウトには配置、配線情報も入力要素として用い、さらに前記配置及び前記クロック信号配線以外の信号配線のレイアウトにはタイミング制約も入力要素として用いることを特徴とする請求項7記載のレイアウト方法。

【請求項9】 フロアプラン、電源配線、配置、クロック

ク分配処理及びクロック信号配線以外の信号配線のレイアウトを順に行うCAD装置を用いたレイアウト方法において、クロック信号配線の禁止領域を定義した配線禁止端子ライブラリと、クロック信号配線の禁止領域を含まない基本セルに関する情報を有するライブラリとを用意し、前記フロアプラン、前記電源配線、前記配置及び前記クロック信号配線以外の信号配線のレイアウトには前記ライブラリを入力要素として用い、前記クロック分配処理の際には、前記ライブラリに前記配線禁止端子ライブラリを併用して入力要素として用いることを特徴とするレイアウト方法。

【請求項10】 前記フロアプラン、前記電源配線、前記配置、前記クロック分配処理及び前記クロック信号配線以外の信号配線のレイアウトには配置、配線情報も入力要素として用い、さらに前記配置及び前記クロック信号配線以外の信号配線のレイアウトにはタイミング制約も入力要素として用いることを特徴とする請求項9記載のレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はレイアウト方法に係わり、特にCAD装置を用いた半導体集積回路の配線レイアウト設計方法に関する。

【0002】

【従来の技術】従来、ゲートアレイあるいはスタンダードセル方式LSIなどの半導体集積回路におけるレイアウト方法工程の中で、クロック分配処理（以下、CTS、と称す）は各セル列に対しクロックドライバを配置し、前記クロックドライバに付加される容量および抵抗による遅延を合わせることが重要な要素の一つとなっている。

【0003】このために、チップレイアウト時にクロック配線を駆動能力の高いバッファのツリー構造とし、各ブロックへのクロック入力相対スキューを抑える、すなわち、クロックスキュー（クロック信号の位相差）を低減させるプログラム処理を行う（例えば、ユーザーズマニュアルCB-C9ファミリーVX/VMタイプ設計編 第5章5.4.4クロック・ツリー・シンセシス）。

【0004】以下図7乃至図11を参照して従来技術のレイアウト方法を説明する。

【0005】図7は従来技術のレイアウト方法を示すフローチャートであり、図8は図7のライブラリ1で定義されている基本セルの一例の構造を示す図であり、図9は図8の基本セルに従来技術によるCTS結果の一例を示す図であり、図10は従来技術によるレイアウト配線結果の一例を示す図であり、図11は従来技術によるレイアウト修正結果の一例を示す図である。

【0006】ライブラリ1には、基本セル24が定義されている。すなわち、端子13は第n-1配線層接続可

能端子であること、端子14は第 $n-1$ 配線層接続可能端子であること、端子15は第 $n-1$ 配線層接続可能端子であること、領域16は第 $n-1$ 配線層通過禁止領域であることの情報が入っている。

【0007】タイミング制約2には、クロック信号以外の信号のタイミング制約に関する情報が入っている。

【0008】配置、配線情報3には、配置及び基本セル間の配線情報が入っている。

【0009】また、ライブラリ1には、基本セル上で第 n 配線層がY方向（図で縦方向）を延在し、第 $n-1$ 配線層がX方向（図で横方向）を延在することが定義されている。

【0010】フロアプラン4では、ライブラリ1と配置、配線情報3により、基本セルを機能毎に配置する領域を設定する。

【0011】電源配線5では、ライブラリ1と配置、配線情報3により、電源・グランド配線を設定する。

【0012】配置6では、ライブラリ1と配置、配線情報3に加えてタイミング制約2を用いて、クロック信号以外の通常の信号のタイミングが最適と思われる場所に基本セルの配置を繰り返し行い上記タイミング制約2を満足するまで実行する。

【0013】CTS7では、ライブラリ1と配置、配線情報3により、同一クロックでの分岐による遅延値のばらつきを補正しながらクロック信号の配線を行なう。

【0014】このCTS7において、集積回路全体のクロック入力相対スキューが最小になるようにクロック分配処理がされる。

【0015】以上により図9に示す設計がされる。すなわち図9において、基本セル24の両側に第 $n-1$ 配線層電源配線18及び第 $n-1$ 配線層接地配線19が設けられ、第 $n-1$ 配線層電源配線18とスルーホール17を通して接続した第 n 配線層電源配線20が領域16上を通過してY方向に延在し、第 n 配線層クロック信号配線22が端子14（14-1）上および2つの領域16上を通過してY方向に延在している。

【0016】次に、配線8では、ライブラリ1と配置、配線情報3に加えてタイミング制約2を用いて、クロック信号以外の通常信号の信号配線が配線される。

【0017】このとき、この信号配線は基本セル内の端子14（14-1）に接続すべき配線であるが、この上には既に第 n 配線層クロック信号配線22がカバーしているから配線することができない。

【0018】一方、第 $n-1$ 配線層通常信号配線25にしてX方向を延在させると、端子14（14-1）周囲の左右、上下方向に第 $n-1$ 配線層通過禁止領域16が配置しているので、図10に示すように、第 $n-1$ 配線層通常信号配線（クロック信号以外の信号の配線）25が不都合なショート26を発生してしまうのでこのような配線もすることはできない。

【0019】したがって、配線修正9において、ライブラリ1と配置、配線情報3、タイミング制約2を用いて、既にCTS7で設定した図9に示す第 n 配線層クロック信号配線22の通過位置をシフトさせ、図11に示すように、端子15（15-1）上を通過させ、端子14（14-1）に第 $n-1$ 配線層を介して、すなわち端子上にのみ形成されたいわゆる座布団と称する第 $n-1$ 配線層を介して第 n 配線層通常信号配線22を接続してY方向を延在させる。

【0020】このような配線修理9は、例えば約790kTr、58kセルの製品では、約2000箇所が必要となる。

【0021】あるいは、図10のショート26のまま配線修理9をしないで未配線端子となることも考えられる。

【0022】

【発明が解決しようとする課題】以上のように従来技術では、CTSによりクロック信号の相対スキューが最小になるように調整されたクロック信号配線配線が、配線修正で移動されことでクロック信号の相対スキューが悪化してしまうという問題点を有する。

【0023】したがって本発明の目的は、CTSの後の信号配線においてCTSの配線結果が原因の信号配線ショート、未配線がなく、これによりCTSで定められた最適なクロック信号配線配線レイアウトを動かすことがない有効なレイアウト方法を提供することにある。

【0024】

【課題を解決するための手段】本発明の特徴は、クロック信号配線のレイアウトを定めるCTSの後に、クロック信号配線以外の信号配線のレイアウトを行うCAD装置を用いたレイアウト方法において、クロック信号配線以外の信号配線のレイアウトに支障を生じる領域を予め禁止領域としてクロック信号配線が位置しないようにしてCTSを行うレイアウト方法にある。

【0025】ここで、禁止領域はクロック信号配線以外の信号配線が接続する端子であることができる。

【0026】また、禁止領域を含む基本セルに関する情報を有する配線禁止設定ライブラリを用意し、CTSの際にこの配線禁止設定ライブラリを入力要素として用いることができる。

【0027】あるいは、禁止領域に関する情報を有する配線禁止端子ライブラリを用意し、CTSの際に、禁止領域に関する情報以外の基本セルに関する情報を有するライブラリとこの配線禁止端子ライブラリとを併用して入力要素として用いることができる。

【0028】さらに、クロック信号配線とクロック信号配線以外の信号配線とは同じ層レベルの配線層にすること、すなわち、両配線とも n （ n は整数）層目の配線層である第 n 配線層にすることができる。

【0029】この場合、基本セル上において、クロック

信号配線とクロック信号配線以外の信号配線とは同一方向を延在していることが好ましい。

【0030】本発明の他の特徴は、フロアプラン、電源配線、配置、CTS及びクロック信号配線以外の信号配線のレイアウトを順に行うCAD装置を用いたレイアウト方法において、クロック信号配線の禁止領域を含む基本セルに関する情報を有する配線禁止設定ライブラリと、クロック信号配線の禁止領域を含まない基本セルに関する情報を有するライブラリとを用意し、フロアプラン、電源配線、配置及びクロック信号配線以外の信号配線のレイアウトにはライブラリを入力要素として用い、CTSの際には、ライブラリを配線禁止設定ライブラリに切り換えてこの配線禁止設定ライブラリを入力要素として用いるレイアウト方法にある。ここで、フロアプラン、電源配線、配置、CTS及びクロック信号配線以外の信号配線のレイアウトには配置、配線情報も入力要素として用い、さらに配置及びクロック信号配線以外の信号配線のレイアウトにはタイミング制約も入力要素として用いることができる。

【0031】あるいは本発明の他の特徴は、フロアプラン、電源配線、配置、CTS及びクロック信号配線以外の信号配線のレイアウトを順に行うCAD装置を用いたレイアウト方法において、クロック信号配線の禁止領域を定義した配線禁止端子ライブラリと、クロック信号配線の禁止領域を含まない基本セルに関する情報を有するライブラリとを用意し、フロアプラン、電源配線、配置及びクロック信号配線以外の信号配線のレイアウトにはライブラリを入力要素として用い、CTSの際には、ライブラリに配線禁止端子ライブラリを併用して入力要素として用いるレイアウト方法にある。ここで、フロアプラン、電源配線、配置、CTS及びクロック信号配線以外の信号配線のレイアウトには配置、配線情報も入力要素として用い、さらに配置及びクロック信号配線以外の信号配線のレイアウトにはタイミング制約も入力要素として用いることができる。

【0032】

【発明の実施の形態】以下図面を参照して本発明を説明する。図1乃至図4は本発明の第1の実施の形態のレイアウト方法の図面である。

【0033】図1は本発明の第1の実施の形態のレイアウト方法を示すフローチャートであり、図2は図1の配線禁止設定ライブラリ10に定義された基本セルの一例の構造を示す図であり、図3は図2の基本セルに本発明を適用したCTS結果の一例を示す図であり、図4は本発明を適用したレイアウト配線結果の一例を示す図である。

【0034】ライブラリ1には、基本セルが定義されている。すなわち、端子13は第 $n-1$ 配線層接続可能端子であること、端子14は第 $n-1$ 配線層接続可能端子であること、端子15は第 $n-1$ 配線層接続可能端子で

あること、領域16は第 $n-1$ 配線層通過禁止領域であることの情報が入っている。

【0035】また、基本セル上で第 n 配線層がY方向（図で縦方向）を延在し、第 $n-1$ 配線層がX方向（図で横方向）を延在することが定義されている。

【0036】タイミング制約2には、論理素子間の信号伝達に関する時間制約が記述されており、配置6および配線8の処理を実行する際、入力要素として使用し、クロック信号以外の信号のタイミング制約に関する情報が入っている。

【0037】配置、配線情報3には、基本セルの配置情報、基本セル間の接続情報、配線の配置情報、その他ライブラリ情報やタイミング情報以外のレイアウトに必要な情報が記述されている。

【0038】本発明ではさらに配線禁止設定ライブラリ10を用意している。この配線禁止設定ライブラリ10には、上記したライブラリ1の定義、情報に加えてさらに端子13、14、15が第 n 配線層通過可能端子か或いは第 n 配線層通過禁止端子かの情報も入っている。

【0039】すなわち図2に示すように、配線禁止設定ライブラリ10に定義された基本セル12には、端子13、14、15の内、端子13a、15aは第 n 配線層通過可能端子であり、端子13b、14b、15bは第 n 配線層通過禁止端子と定義されている。

【0040】例えば、従来技術でCTSの後の配線処理において第 n 配線層通常信号配線が接続される端子14-1（図8乃至図11）は、本発明の配線禁止設定ライブラリ10では第 n 配線層通過禁止端子14bとして定義され、これによりCTSにおいて第 n 配線層クロック信号配線がその上を通過しないようにしている。

【0041】図1において、フロアプラン4のステップでは、ライブラリ1と配置、配線情報3により、本半導体集積回路外との端子接続するためのインターフェースブロック及びRead Only Memory (ROM)、Random Access Memory (RAM)、Central Processing Unit (CPU)、CPU周辺機能などといった大規模機能ブロックを配置するとともに基本セルを機能毎に配置する領域を設定する。

【0042】次の電源配線5のステップでは、ライブラリ1と配置、配線情報3により、ROM、RAM、CPU、CPU周辺、基本セルが配置された領域に電源・グランド配線を設定する。実行する際、幹線の太さおよび間隔は、消費電力による電圧降下を考慮し、半導体集積回路が誤動作しない値を計算装置によって自動計算するか、あるいは人手による計算により決定する。

【0043】次の配置6のステップでは、ライブラリ1と配置、配線情報3に加えてタイミング制約2を用いて、記述に対応した基本セルを用意してある多数の基本セルから選択し、クロック信号以外の通常の信号のタイ

ミングが最適と思われる場所に基本セルの配置を繰り返して行いタイミング制約2を満足するまで実行する。

【0044】次のCTS7のステップでは、ライブラリ1を配線禁止設定ライブラリ10に切り換え、この配線禁止設定ライブラリ10と配置、配線情報3により、同一クロックでの分岐による遅延値のばらつきを補正しながらクロック信号の配線を行なう。

【0045】この際に本発明では配線禁止設定ライブラリ10を用いているので、第n配線層の通過禁止端子13b、14b、15bを避けて第n配線層クロック信号配線22の配線がレイアウトされる。

【0046】すなわち以上により設計がされた図3において、基本セル12の両側に第n-1配線層電源配線18及び第n-1配線層接地配線19が設けられ、第n-1配線層電源配線18とスルーホール17を通して接続した第n配線層電源配線20が領域16上を通過してY方向に延在している。

【0047】そして第n配線層クロック信号配線22は、第n配線層通過禁止端子14b上には通過させないで、第n配線層通過可能端子15a上を通過させ、この第n配線層クロック信号配線22のレイアウトの状態

で、集積回路全体のクロック入力相対スキューが最小になるようにクロック分配処理がされる。

【0048】次の配線8のステップでは、配線禁止設定ライブラリ10を再度ライブラリ1に切り換え、このライブラリ1と配置、配線情報3とタイミング制約2とを用いて、クロック信号以外の通常信号の信号配線が配線される。

【0049】このとき本発明では、第n配線層通常信号配線21が接続する端子14bは予め第n配線層通過禁止端子として定義され第n配線層クロック信号配線21によりカバーされていない。

【0050】したがって、従来技術のように配線修正を行うことなく、図4に示すように、第n配線層通常信号配線21が端子14bに第n-1配線層を介して、すなわち端子上にのみ形成されたいわゆる座布団と称する第n-1配線層を介して第n配線層通常信号配線22を接続してY方向を延在させることができる。

【0051】このように本発明では、配線8のステップにおいて、タイミング制約2に記述されているクロック信号配線以外の信号配線の接続情報を用い、CTS7で配線されたクロック信号の配線経路を保持した状態で、タイミング制約2を満足するまで通常信号配線のレイアウトを実行することができる。

【0052】このように本発明では、配置、配線情報3に記述されている接続情報に基づき未配線あるいは、ショートのないレイアウトを得ることができ、配線8は、CTS7により配線されたクロック信号配線を移動しないよう設定し、ライブラリ1配置、配線情報3、タイミング制約2に記述されている配線間隔、遅延情報、接続

情報、タイミング情報によりタイミング制約2を満足するまで配線を実行する。その結果、図4に示すように、CTSで得られたクロックスキュー最適化を維持したまま通常信号配線を配線することができる。

【0053】次に図5及び図6を参照して本発明の第2の実施の形態のレイアウト方法を説明する。

【0054】図5は本発明の第2の実施の形態のレイアウト方法を示すフローチャートであり、図6は図5における配線禁止端子ライブラリ11に定義された基本セル23の一例の構造を示す図である。尚、図5及び図6において図1乃至図4と同一もしくは類似の箇所は同じ符号を付してあるから重複する説明は省略する。

【0055】先の第1の実施の形態の配線禁止設定ライブラリ10には、通常のライブラリ1の定義、情報に加えてさらに端子13、14、15が第n配線層通過可能端子か或いは第n配線層通過禁止端子かの情報を定義していた。

【0056】したがってCTS7において、ライブラリ1を配線禁止設定ライブラリ10に切り換えていた。

【0057】しかしこの第2の実施の形態の配線禁止端子ライブラリ11には、端子のうちの第n配線層通過禁止端子に関する情報だけが入っている。

【0058】すなわち、図5における配線禁止端子ライブラリ11に定義された基本セル23は、図6に示すように、第n配線層通過禁止端子13b、14b、15bが定義されている。

【0059】したがって図5に示すように、フロアプラン4から配線8まで連続的にライブラリ1を用い、CTS7ではライブラリ1に配線禁止端子ライブラリ11を併用して用いることによりその処理を行う。

【0060】尚、実施の形態では第n配線層(nは整数)とその直ぐ下の第n-1配線層を例示して説明したが、配線層の互いのレベル関係がこれ以外でも本発明を適用することができ、また実施の形態以外の各端子関係、各配線層関係を有する基本セルにも本発明を適用することができることは当然である。

【0061】

【発明の効果】以上説明したように本発明によれば、CTSで得られたクロックスキュー最適化を維持したまま通常信号配線を行うことができる。

【0062】その理由は、CTS7の実行時に配線禁止設定ライブラリ10或いは配線禁止端子ライブラリ11を用いることにより第2層配線層クロック信号配線22が第n配線層禁止端子を通過しないよう配線されるためである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のレイアウト方法を示すフローチャートである。

【図2】図1に示す配線禁止設定ライブラリにおける基本セルの一例の構造を示す図である。

【図3】図2の基本セルに本発明を適用したCTS結果の一例を示す図である。

【図4】本発明を適用したレイアウト配線結果の一例を示す図である。

【図5】本発明の第2の実施の形態のレイアウト方法を示すフローチャートである。

【図6】図5に示す配線禁止端子ライブラリにおける基本セルの一例の構造を示す図である。

【図7】従来技術のレイアウト方法を示すフローチャートである。

【図8】図7に示すライブラリにおける基本セルの一例の構造を示す図である。

【図9】図8の基本セルに従来技術によるCTS結果の一例を示す図である。

【図10】従来技術によるレイアウト配線結果の一例を示す図である。

【図11】従来技術によるレイアウト修正結果の一例を示す図である。

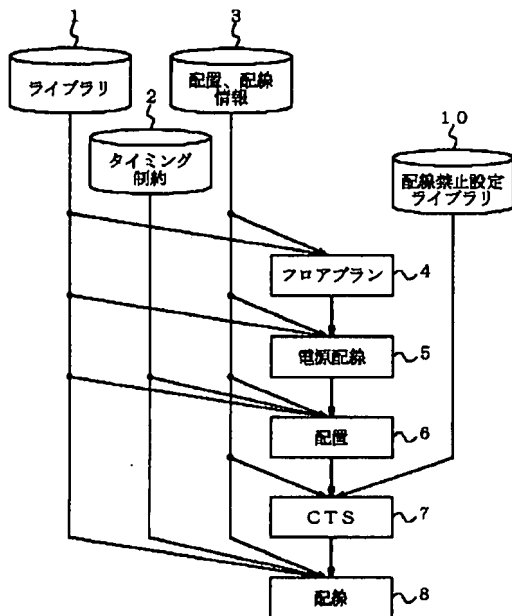
【符号の説明】

- 1 ライブラリ
- 2 タイミング制約
- 3 配置、配線情報
- 4 フロアプラン
- 5 電源配線
- 6 配置
- 7 CTS
- 8 配線
- 9 配線修正
- 10 配線禁止設定ライブラリ

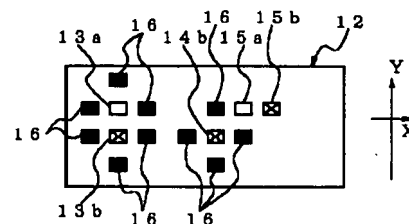
*

- * 11 配線禁止端子ライブラリ
- 12 配線禁止設定ライブラリに定義されている配置、配線禁止領域設定基本セル
- 13 第 $n-1$ 配線層接続可能端子
- 13a 第 $n-1$ 配線層接続可能で且つ第 n 配線層通過可能端子
- 13b 第 $n-1$ 配線層接続可能で且つ第 n 配線層通過禁止端子
- 14 第 $n-1$ 配線層接続可能端子
- 14b 第 $n-1$ 配線層接続可能で且つ第 n 配線層通過禁止端子
- 15 第 $n-1$ 配線層接続可能端子
- 15a 第 $n-1$ 配線層接続可能で且つ第 n 配線層通過可能端子
- 15b 第 $n-1$ 配線層接続可能で且つ第 n 配線層通過禁止端子
- 16 第 $n-1$ 配線層通過禁止領域
- 17 スルーホール
- 18 第 $n-1$ 配線層電源配線
- 19 第 $n-1$ 配線層接地配線
- 20 第 n 配線層電源配線
- 21 第 n 配線層通常信号配線
- 22 第 n 配線層クロック信号配線
- 23 配線禁止端子ライブラリ定義されている配線禁止端子基本セル
- 24 一般的なライブラリに定義されている基本セル
- 25 第 $n-1$ 配線層通常信号配線
- 26 第 $n-1$ 配線層通常信号配線のショート

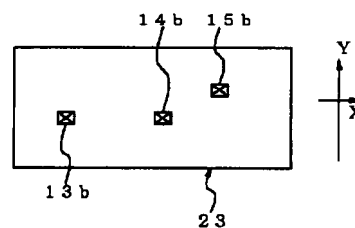
【図1】



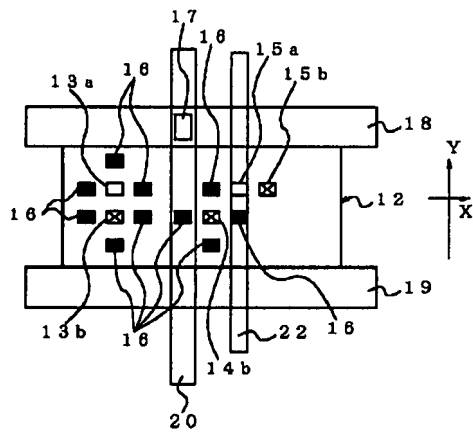
【図2】



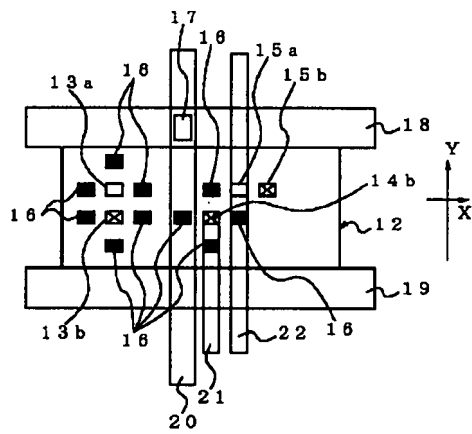
【図6】



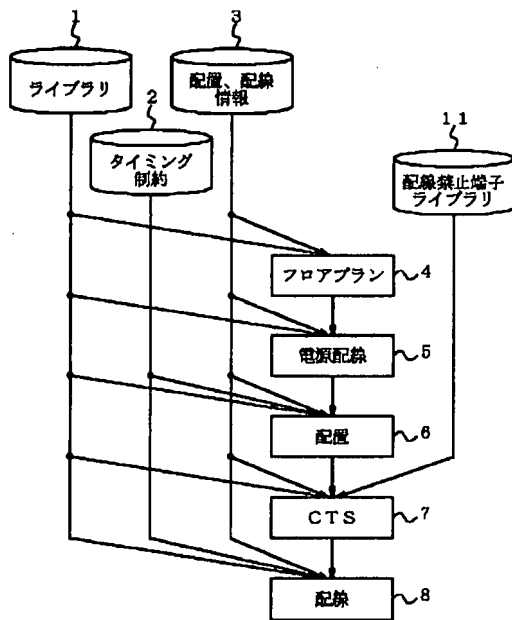
【図3】



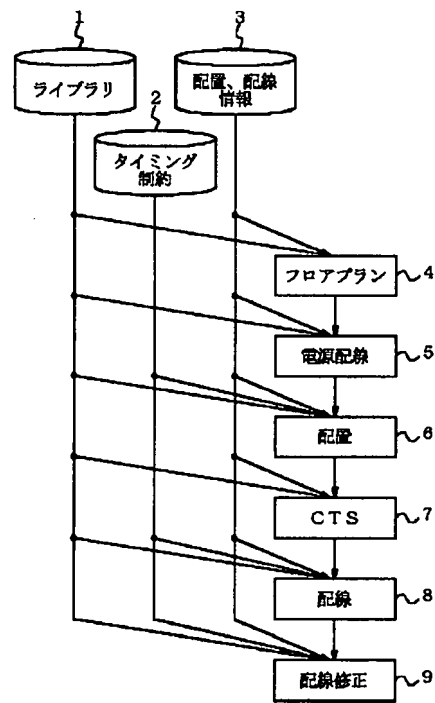
【図4】



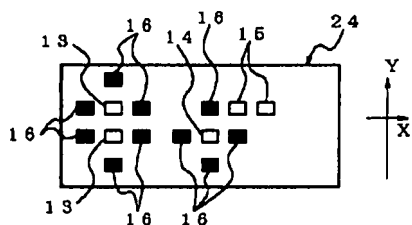
【図5】



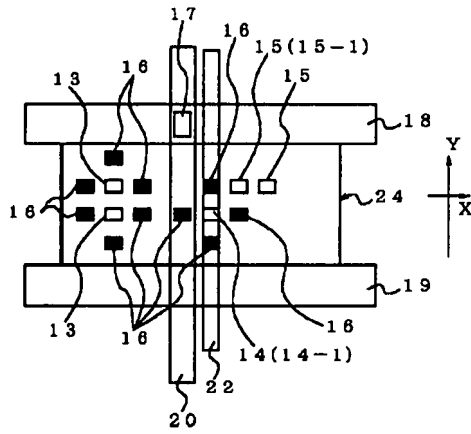
【図7】



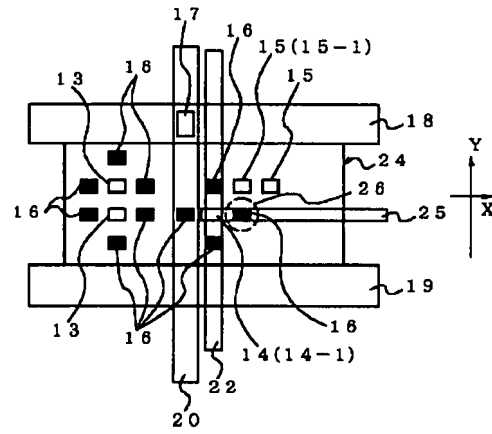
【図8】



【図9】



【図10】



【図11】

